

AJ

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

10498847

Basic Patent (No,Kind,Date): JP 4116688 A2 19920417 <No. of Patents: 002>

GRADATION DRIVING LIGHT VALVE DEVICE ON FRAME THINNING (English)

Patent Assignee: SEIKO INSTR INC

Author (Inventor): SUZUKI HIROSHI; TAKASU HIROAKI

IPC: \*G09G-003/36; G02F-001/133; G09G-003/20

CA Abstract No: 117(22)223234Q

JAPIO Reference No: 160371P000151

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 4116688	A2	19920417	JP 90238671	A	19900907	(BASIC)
JP 3081966	B2	20000828	JP 90238671	A	19900907	

Priority Data (No,Kind,Date):

JP 90238671 A 19900907

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

03751588     \*\*Image available\*\*

GRADATION DRIVING LIGHT VALVE DEVICE ON FRAME THINNING

PUB. NO.:     04-116688 [JP 4116688 A]

PUBLISHED:     April 17, 1992 (19920417)

INVENTOR(s):     SUZUKI HIROSHI

TAKASU HIROAKI

APPLICANT(s): SEIKO INSTR INC [000232] (A Japanese Company or Corporation),  
JP (Japan)

APPL. NO.:     02-238671 [JP 90238671]

FILED:     September 07, 1990 (19900907)

INTL CLASS:     [5] G09G-003/36; G02F-001/133; G02F-001/133; G09G-003/20

JAPIO CLASS:     44.9 (COMMUNICATION -- Other); 29.2 (PRECISION INSTRUMENTS --  
Optical Equipment)

JAPIO KEYWORD: R002 (LASERS); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC  
MATERIALS -- Glass Conductors)

JOURNAL:     Section: P, Section No. 1399, Vol. 16, No. 371, Pg. 151,  
August 10, 1992 (19920810)

#### ABSTRACT

**PURPOSE:** To raise the frame frequency to display the gradation on the frame thinning system by constituting a switch element, which drives a picture element electrode group, of an insulated gate field-effect transistor of high responsiveness formed in a silicon single crystal thin film layer.

**CONSTITUTION:** A composite substrate consisting of an electrically insulating carrier layer 6 and a semiconductor single crystal thin film layer 7 is used in a thin film type active matrix device. Picture element arrays 4, 5, 9, 11, and 12 are integrally formed in the semiconductor single crystal thin film layer 7 by LSI technique. Thus, the switch element group very superior in quick responsiveness is obtained by using the composite substrate where the semiconductor single crystal thin film layer 7 is formed in this manner, and the frame frequency is raised from one digit to two digits, and gradation display on the frame thinning system is realized in the practical level.

## ⑪ 公開特許公報(A) 平4-116688

⑫ Int. Cl.<sup>3</sup> 識別記号 庁内整理番号 ⑬ 公開 平成4年(1992)4月17日  
 G 09 G 3/36 5 5 0 8621-5G  
 G 02 F 1/133 5 7 5 8806-2K  
 G 09 G 3/20 K 8806-2K  
 9176-5G  
 審査請求 未請求 請求項の数 5 (全10頁)

⑭ 発明の名称 フレーム間引き階調駆動光弁装置

⑮ 特 願 平2-238671

⑯ 出 願 平2(1990)9月7日

⑰ 発 明 者 鈴 木 宏 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑱ 発 明 者 鷹 巢 博 昭 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑲ 出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

⑳ 代 理 人 弁理士 林 敬之助

## 明 細 書

## 1. 発明の名称

フレーム間引き階調駆動光弁装置

## 2. 特許請求の範囲

1. 電気絶縁性の担体層と半導体単結晶薄膜層とからなる複合基板と、

画素を規定する複数の画素電極及び対応する画素電極に給電する為の複数のスイッチ素子からなり、該半導体単結晶薄膜層に集積的に形成された画素アレイと、

所定の間隙を介して複合基板に対向配置された対向基板と、

該間隙に配置され各画素電極が保持する給電量に応じて画素毎に電気光学的階調表示を行なう為の電気光学物質層と、

フレーム間引きにより複数の該スイッチ素子を駆動し、対応する画素電極に対する給電量の制御を行なう為のフレーム間引き階調駆動回路とからなる光弁装置。

2. 該複合基板は、担体層に接着され且つ研磨薄膜化された半導体単結晶薄膜層を有する請求項1に記載の光弁装置。

3. 該画素アレイは、絶縁ゲート電界効果型単結晶薄膜トランジスタからなるスイッチ素子を含む請求項1に記載の光弁装置。

4. 該電気光学物質層は、各画素電極に保持される給電量に比例して入射光に対する透過率が変化するツイストネマチック液晶からなる請求項1に記載の光弁装置。

5. 該フレーム間引き階調駆動回路の少くとも一部分は該半導体単結晶薄膜層に形成されている請求項1に記載の光弁装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、半導体薄膜に画素電極群及びスイッチ素子群等からなる画素アレイが形成された集積回路基板を用いて組み立てられた液晶パネルからなる光弁装置、例えば薄膜型アクティブマトリックス装置に関する。より詳しくは、この種のアク

ティブマトリックス装置の階調駆動方式に関する。  
〔従来の技術〕

アクティブマトリックス装置は比較的簡単な構造を有する。各画素にスイッチ素子を設け、特定の画素を選択する場合には対応するスイッチ素子を導通させる。非選択時においてはスイッチ素子を非導通状態にしておくものである。薄膜型アクティブマトリックス装置においては、このスイッチ素子は通常薄膜トランジスタからなる。即ち、液晶パネルを構成するガラス基板の表面に被覆された半導体薄膜にスイッチ素子群が集積的に形成される。

従来、薄膜型アクティブマトリックス装置においては、薄膜トランジスタはガラス基板上に堆積された非晶質シリコン薄膜あるいは多結晶シリコン薄膜の表面に形成されていた。非晶質シリコン薄膜は例えば真空蒸着あるいはスパッタリングによりガラス基板上に容易に堆積できる。又、多結晶シリコン薄膜は例えば化学気相成長法を用いてガラス基板上に容易に堆積する事ができる。

点があった。

ところで、アナログ画像信号を使用しないで階調制御を行なう一方法として“フレーム間引き”方式が提案されている。この方式は、数フレーム即ち数画面を1単位として、この1単位の中で2値表示である黒表示と白表示の割合を画素毎に時系列的に分配する事によって、1単位の中での階調表示を行なうものである。例えば4フレームを1単位として、ある画素に若目すると第1フレームで黒表示を行ない第2フレームで白表示を行ない第3フレームで黒表示を行ない第4フレームで白表示を行なえば、1単位即ち4フレーム画面の平均で見ると灰色の中間調を表現する事ができる。一般に、 $n$ 個のフレームを1単位とすると $n+1$ 個の階調レベルが得られる。ところで、フレーム周波数を固定したまま1単位のフレーム数を増加させた場合には、1単位毎の周波数が低下し、画面のフリッカが生じてしまう。従って、フリッカを防止する為には、フレーム周波数を上げる必要がある。この為に、各画素を駆動するスイッチ素

子群あるいは多結晶シリコン薄膜に形成される薄膜トランジスタは一般に絶縁ゲート電界効果型のものである。

〔発明が解決しようとする課題〕

ところで、従来から忠実度に優れた高品質の画像表示を得る為に階調駆動が行なわれている。この階調駆動は、アクティブマトリックス装置の各画素の中間調表示を可能としたものであり、全体として画像に濃淡を付与する事ができる。従来の階調駆動においては、アナログ画像信号を用い、各画素へ階調レベルに応じた電圧を書き込み、1フレーム期間中書き込まれた電圧を保持する事によって中間調表示を行なっていた。電圧レベルによる階調制御においては、スイッチ素子群の高速応答性が要求されないという利点やアナログ画像信号を用いる為原理的に連続階調が可能であるという利点がある。しかしながら、アナログ画像信号を用いる限りフレーム周波数の高速化には限界があり、OA機器に使用されるノンインターレース表示やHDTVへの対応が困難であるという問題

子群の高速応答性が要求される。しかしながら、従来の薄膜型アクティブマトリックス装置に用いられているスイッチ素子はフレーム間引き階調方式に要求される高速応答性を満足する事ができないという問題点がある。例えば、薄膜トランジスタの材料として非晶質シリコン薄膜を用いた場合には、シリコン粒界のダングリングボンドの為に電界効果電子移動度は比較的小さい。その移動度の値はおよそ $1\text{ cm}^2/\text{V sec}$ 程度である。従って、高速動作可能な絶縁ゲート電界効果型トランジスタを形成する事が不可能である。又、多結晶シリコン薄膜を用いた場合においても、その多結晶性故に電界効果電子移動度は比較的小さく $20\text{ cm}^2/\text{V sec}$ 程度である。

〔課題を解決するための手段〕

上述した従来の技術の問題点に鑑み、本発明はフレーム間引きによる階調駆動が可能な高速応答性を有するスイッチ素子群の形成された薄膜型アクティブマトリックス装置を提供する事を目的とする。

かかる目的を達成する為に、本発明にかかる薄膜型アクティブマトリックス装置は電気絶縁性の担体層と半導体単結晶薄膜層とからなる複合基板を利用している。この半導体単結晶薄膜層には画素アレイがLSI技術を用いて集積的に形成されている。即ち、画素アレイは画素を規定する複数の画素電極及び対応する画素電極に給電する為の複数のスイッチ素子を含む。このスイッチ素子は、半導体単結晶薄膜層に形成された絶縁ゲート電界効果型トランジスタからなる。所定の間隙を介して、複合基板には対向基板が対向配置されている。この間隙には電気光学物質層例えば液晶層が充填されており、各画素電極が保持する給電量に応じて画素毎に電気光学的階調表示を行なう。さらに、本アクティブマトリックス装置はフレーム間引き階調駆動回路を具備しており、フレーム間引きにより複数のスイッチ素子を駆動し、対応する画素電極に対する給電量の制御を行なっている。

好ましくは、該複合基板は担体層に接着され且つ研摩薄膜化されたシリコン単結晶薄膜層を有し

ている。例えば、担体層として石英ガラス基板を用いその表面に高品質のシリコン単結晶ウェハを接着する。このシリコン単結晶ウェハを研摩薄膜化する事により高品質のシリコン単結晶薄膜層を得る事ができる。この薄膜層に対してはLSI製造技術が直接に適用でき極めて高速な絶縁ゲート電界効果型のトランジスタを形成する事ができる。

#### 〔発明の作用〕

上述した構成においては、半導体単結晶薄膜層が形成された複合基板を使用している為、極めて高速応答性に優れたスイッチ素子群を実現できる。即ち、例えばシリコン単結晶薄膜はその電界効果電子移動度の値がおおよそ $400\text{cm}^2/\text{V}\cdot\text{sec}$ 程度であり、非晶質シリコン薄膜に比べて2桁高く、シリコン多結晶薄膜に比べても1桁高い。これに比例してシリコン単結晶薄膜に形成されたトランジスタは従来に比して1桁ないし2桁速い高速応答性を有している。従って、フレーム周波数を1桁から2桁高める事ができフレーム間引き方式による階調表示を実用レベルで実現する事が可能となる。

#### 〔実施例〕

以下図面を参照して本発明の好適な実施例を詳細に説明する。第1図は本発明にかかるフレーム間引き階調駆動光弁装置の一実施例を示す模式的分解斜視図である。図示する様に、本光弁装置は複合基板1と、該複合基板1に対向配置された対向基板2と、該複合基板1と対向基板2との間に配置された電気光学物質層例えばツイスト配向されたネマチック液晶層3とから構成されている。複合基板1の表面にはマトリックス状に配置された画素を規定する複数の画素電極4と、所定の信号に応じて画素電極4を選択的に給電する為の複数のスイッチ素子5とが形成されている。これら画素電極群及びスイッチ素子群が画素アレイを構成する。

複合基板1は石英ガラスからなる担体層6と単結晶シリコン薄膜層7とからなる二層構造を有する。加えて、石英ガラス担体層6の裏面側には偏光板8が接着されている。そして、前述した画素アレイはこの単結晶シリコン薄膜層7に集積的に

形成されている。この画素アレイに含まれるスイッチ素子5は絶縁ゲート電界効果型トランジスタから構成されている。トランジスタのソース電極は対応する画素電極4に接続されており、同じくゲート電極は走査線9に接続されており、同じくドレイン電極は信号線10に接続されている。画素アレイの周辺にはXドライバ11が形成されており、列状の信号線10に接続されている。さらに、Yドライバ12も形成されており行状の走査線9に接続されている。加えて、Xドライバ11及びYドライバ12にはフレーム間引き階調制御回路13が接続されている。この制御回路13はXドライバ11及びYドライバ12を介して複数のスイッチ素子5を駆動し、対応する画素電極4に対する給電量の制御を行ないフレーム間引き階調を実行する。これらの制御回路13、Xドライバ11及びYドライバ12はフレーム間引き階調駆動回路を構成し、本実施例においては画素アレイとともに単結晶シリコン薄膜層7に集積的に形成されている。従って、この駆動回路も高速応答性に優れたシリコン単結晶

薄膜絶縁ゲート電界効果型トランジスタで構成する事が可能となる。特に、高品質の単結晶シリコン薄膜層を用いる事により超LSI技術を直接適用する事が可能となりこれら周辺回路の高密度集積が実現できる。しかしながら、本発明はこの実施例に限られるものではなく、フレーム間引き階調制御回路13を外付け部品で構成しても良いことは勿論である。

一方対向基板2はガラス担体14と、ガラス担体14の外側面に接着された偏光板15と、ガラス担体14の内側面に形成された共通電極16とから構成されている。さらに共通電極16の表面は一軸配向膜17で被覆されている。又、複合基板1の内側表面も一軸配向膜18で被覆されている。一対の配向膜17及び18はその配向方向が直交しており且つ液晶層3の上下面に面接触している。この結果、ネマチック液晶層3はいわゆる90°のツイスト配向状態に整列される。

第2図(A)及び(B)は第1図に示す光弁装置の1個の画素を切り取って示した模式的斜視図であ

り、第2図(A)は画素が最低階調レベルにある状態を示し、第2図(B)は画素が最高階調レベルにある状態を示す。この例においては、液晶の閾値電圧以下の一定電圧を画素電極に供給する事により最低階調レベルを表示し、液晶の閾値電圧以上の一定電圧を画素電極に印加する事により最高階調レベル表示を実現している。従って、第2図(A)に示す状態は実質的に電圧無印加状態と見做される。図示する様に、ネマチック液晶分子19はその長軸方向が容易に配向されるという性質がある。この液晶分子の配向は前述した様に複合基板1及び対向基板2の内側表面に形成された一対の配向膜17及び18によって制御される。これらの配向膜17及び18は例えば各基板の内側表面に対してラビング処理を行なう事により得られる。前述した様に、上下の基板間でラビング方向が90°異なるので、液晶分子19もそれに倣って90°回転する。この結果液晶層を通過する光の偏光軸は90°回転する事になる。しかしながら、図示する様に一対の偏光板8及び15の偏光軸は互いに一致している

為入射光は画素を通過する事ができない。この結果、最低階調レベルにおいては画素は完全な黒表示を行なう事になる。

一方第2図(B)に示す状態においては、複合基板1の内側表面に配置されている画素電極と対向基板2の内側表面に配置されている共通電極との間に液晶の閾値以上の電圧が印加されている為、液晶分子19は電圧印加方向即ち基板に対して垂直方向に立上り旋光性が失なわれる。この結果、直線偏光入射光は画素をそのまま通過する。即ち、最高階調レベルにおいては画素は完全な白表示を行なう。

第3図は第2図(A)及び(B)に示す画素を構成するネマチック液晶に印加される電圧と、ネマチック液晶の透過率との関係を示すグラフである。図示する様に、共通電極と画素電極との間に閾値以上の一定電圧を印加する事により液晶層の透過率は実質的に100%となり最高階調レベルを得る事ができる。又、閾値以下の一定電圧を両電極間に印加する事により液晶層の透過率は実質的に

0%となり最低階調レベルを得る事ができる。ところで、液晶層の閾値にはある程度の幅があり第3図に示す例においては3Vから5Vの間で立上っている。従って、共通電極と画素電極の間に3Vないし5Vの間の電圧を印加する事により中間レベルの透過率を得る事ができる。従って、中間調を表示できる。即ち、液晶印加電圧レベルを数段階に設定する事により階調表示が得られる。本実施例においては、液晶印加電圧の実効レベルをフレーム間引き方式により制御している。

次に第1図ないし第3図を参照して上述した実施例の動作を詳細に説明する。個々のスイッチ素子5を構成するトランジスタのゲート電極は走査線9に接続されており、Yドライバ12によって走査信号が印加され線順次で個々のスイッチ素子5の導通及び遮断を制御する。この線順次走査はフレーム毎に繰り返行なわれる。Xドライバ11から出力されるバイナリビット信号は信号線10を介して導通状態にある選択されたスイッチ素子5に印加される。印加されたバイナリビット信号は対

応する画素電極 4 に伝えられ、バイナリビットの数値即ち 0 か 1 に応じて所定電気圧を画素電極に給電する。一方、非選択時においてはスイッチ素子 5 は非導通状態となり画素電極に給電された電気圧は維持される。以上に述べた線順次走査を数フレームに渡って繰り返す。フレーム毎にバイナリビットの数値に応じて給電された電気圧は数フレームの間に各画素電極に蓄積される。その蓄積量に応じて液晶印加電圧の実効レベルが設定され所定の中間調が表示される。即ち、1 画素に注目した場合数フレームに渡って常にバイナリビットデータ 1 が与えられた場合には最高階調レベルが表示され、逆に全てバイナリビットデータ 0 が与えられた場合には最低階調レベルが表示される。さらに、バイナリビットデータ数値の組み合わせに応じて所定の中間調が表示される。

スイッチ素子を構成するトランジスタのスイッチング性能を表わす為にオン/オフ電流比が用いられる。液晶動作に必要な電流比は書き込み時間と保持時間から簡単に求められる。画像信号が

例えばテレビジョン信号である場合には、1 フレーム期間は約 16 msec であり、1 走査期間は約 80  $\mu$  sec である。フレーム間引き方式を用いて例えば 5 階調表示を行なう場合にはフレーム周波数を 4 倍としなければならない。従って、テレビジョン信号に基づいてフレーム間引き階調を行なう場合には 1 フレーム期間を 4 msec とし 1 走査期間を 15  $\mu$  sec に設定しなければならない。この短縮された 1 走査期間 15  $\mu$  sec の間にバイナリビット信号を書き込まねばならない。一方、短縮された 1 フレーム期間 4 msec の間書き込まれた電荷を実質的に保持しなければならない。その結果、電流比は 5 桁以上必要となる。この時、画素トランジスタは電荷移動度が極めて高いシリコン単結晶薄膜に形成されているのでオン/オフ比は 6 桁以上を確保できる。従って、フレーム間引き方式を実用レベルで実現する事が可能である。同時に、シリコン単結晶薄膜の高移動度特性を利用してドライバ回路等の周辺回路を同一シリコン単結晶薄膜に高密度で集積する事ができる。

次に、第 4 図(A)ないし(H)を参照して画素電極群及びスイッチ素子群からなる画素アレイが集積された光弁装置用基板の製造方法を詳細に説明する。先ず第 4 図(A)に示す工程において、石英ガラス基板 21 と単結晶シリコン基板 22 とが用意される。単結晶シリコン基板 22 は LSI 製造に用いられる高品質のシリコンウェハを用いる事が好ましく、その結晶方位は  $\langle 100 \rangle \pm 0.0 \pm 1.0$  の範囲の一様性を有し、その単結晶格子欠陥密度は 500 個/cm<sup>2</sup> 以下である。用意された石英ガラス基板 21 の表面及び単結晶シリコン基板 22 の表面を先ず精密に平滑仕上げする。続いて、平滑仕上げされた両面を重ね合わせ加熱する事により両基板を熱圧着する。この熱圧着処理により、両基板 21 及び 22 は互いに強固に固定される。

第 4 図(B)に示す工程において、単結晶シリコン基板 22 の表面を研磨する。この結果、石英ガラス基板 21 の表面には所望の厚さ例えば数  $\mu$ m まで研磨された単結晶シリコン薄膜 23 が形成される。従って、石英ガラス基板からなる担体層と単結晶

シリコン薄膜層とから構成される二層構造を有する複合基板が得られる。なお、単結晶シリコン基板 22 を薄膜化する為に研磨処理に代えてエッチング処理を行なっても良い。この様にして得られた単結晶シリコン薄膜層 23 はシリコンウェハ 22 の品質が実質的にそのまま保存されるので、結晶方位の一様性や格子欠陥密度に関して極めて優れた薄膜基板材料を得る事ができる。

ところで従来からシリコン単結晶薄膜層と電気絶縁性担体層とからなる二層構造を有する種々のタイプの薄膜基板が知られている。いわゆる SOI 基板と呼ばれているものである。SOI 基板は例えば絶縁物質からなる担体表面に化学気相成長法等を用いて多結晶シリコン薄膜を堆積させた後、レーザビーム照射等により加熱処理を施し多結晶膜を再結晶化して単結晶構造に転換して得られていた。しかしながら、一般に多結晶の再結晶化により得られた単結晶は必ずしも一様な結晶方位を有しておらず又格子欠陥密度が大きかった。これらの理由により、従来の SOI 基板に対

してシリコン単結晶ウェハと同様にLSI製造技術を適用する事は困難である。

次に第4図(C)に示す工程において、単結晶シリコン薄膜層23の表面を熱酸化処理し全面にシリコン酸化膜24を形成する。その上に、化学気相成長法を用いてシリコン窒化膜25を堆積する。さらにレジスト26を被覆する。このレジスト26をフォトリソグラフィ及びエッチングによりパタニングし素子領域27のみを残して除去する。この状態で、異方性エッチング処理を行ないレジスト26により被覆されていない部分のシリコン酸化膜24及びシリコン窒化膜25を除去する。第4図(C)はこの様にして得られた半完成品の状態を示している。

続いて第4図(D)に示す工程において、レジスト26を除去した後素子領域27を被覆するシリコン酸化膜24及びシリコン窒化膜25をマスクとして単結晶シリコン薄膜層23の熱酸化処理を行ないフィールド酸化膜28を形成する。フィールド酸化膜28によって囲まれた素子領域27には単結晶シリコン薄膜層23が残される。なお図示する状態では、

イン領域32の上にあるゲート酸化膜29の一部を除去してコンタクトホールを形成し、ここにドレイン電極36を接続させる。同様に、ソース領域33の上にあるゲート酸化膜29の一部を除去してコンタクトホールを形成し、この部分を覆う様に画素電極35を形成する。画素電極35はITO等からなる透明電極材料から構成されている。加えて画素電極35の下側にあるフィールド酸化膜28も透明であり、さらにその下側に配置されている石英ガラス基板21も透明である。従って、画素電極35、フィールド酸化膜28及び石英ガラス基板21からなる三層構造は光学的に透明であり透過型の光弁装置を得る事ができる。

上述した様に、第4図(A)ないし(H)に示す製造方法によれば、高品質の単結晶シリコン薄膜に対して高温を用いた成膜処理、高解像度のフォトリソエッチング及びイオン注入処理等を施す事によりミクロンオーダーあるいはサブミクロンオーダーのサイズを有し且つ極めて高速応答性に優れた絶縁ゲート電界効果型トランジスタを形成する事

マスクとして用いられたシリコン酸化膜24及びシリコン窒化膜25は除去されている。

さらに第4図(E)に示す工程において、再び熱酸化処理が行なわれ、単結晶シリコン薄膜層23の表面にゲート酸化膜29が形成される。

第4図(F)に示す工程において、化学気相成長法により多結晶シリコン膜が堆積される。この多結晶シリコン膜を所定の形状にパタニングされたレジスト30を用いて選択的にエッチングし、ゲート酸化膜29の上に多結晶シリコン膜からなるゲート電極31を形成する。

引き続いて第4図(G)に示す工程において、レジスト30を除去した後、ゲート電極31をマスクとしてゲート酸化膜29を介して不純物砒素のイオン注入を行ない、シリコン単結晶薄膜層23にドレイン領域32及びソース領域33を形成する。この結果、ゲート電極31の下方においてドレイン領域32とソース領域33との間に不純物砒素の注入されていないチャネル領域34が設けられる。

最後に第4図(H)に示す工程において、ドレ

が可能である。このトランジスタはスイッチ素子として、対応する画素電極の選択給電を行なう為に用いられる。なお、第4図(A)ないし(H)に示す工程においては、画素電極及びスイッチ素子の製造方法のみが示されているが、フレーム間引き階調制御回路も又画素アレイの周辺において単結晶シリコン薄膜に同時に形成する事ができる。フレーム間引き階調制御回路もスイッチ素子と同様に絶縁ゲート電界効果型トランジスタから構成する事ができるからである。

次に第5図を参照してフレーム間引き階調制御回路の構成を詳細に説明する。図示する様に、この制御回路はフレームメモリ51を有する。このメモリ51はマトリックス状に配置されたアドレスを有し、各アドレスはマトリックス状に配置された個々の画素に対応している。フレームメモリ51は画像データVDを記憶して各アドレス毎に画素の階調データGDを保持する。本例においては、階調データGDは5段階レベルに分かれており最低レベルから最高レベルに向ってGDないしGD5



と表わされる。

フレームメモリ51にはデコード52が接続されている。このデコード52は階調データGD1ないしGD5のレベルに応じて4ビット構成からなるバイナリデータに変換する機能を有する。例えば、最低レベル階調データGD1は4個の0ビットデータに変換する。第2レベルの階調データGD2は3個の0ビットデータと1個の1ビットデータの組に変換される。第3レベルの階調データGD3は2個の0ビットデータと2個の1ビットデータの組に変換される。第4レベルの階調データGD4は1個の0ビットデータと3個の1ビットデータの組に変換される。最高レベルの階調データGD5は4個の1ビットデータに変換される。デコード52には分配器53が接続されている。又分配器53には4枚のサブフレームメモリ54ないし57が接続されている。各サブフレームメモリはフレームメモリ51と対応するマトリックスアドレスを有する。4枚のサブフレームメモリ54ないし57は1個の階調データを構成する4個のビット

データ成分に対応している。分配器53は1番目のビットデータ成分を第1サブフレームメモリ54に分配し、2番目のビットデータ成分を第2サブフレームメモリ55に分配し、3番目のビットデータ成分を第3サブフレームメモリ56に分配し、4番目のビットデータ成分を第4サブフレームメモリ57に分配する。分配された各ビットデータ成分は元の階調データと対応するアドレスに格納される。

4枚のサブフレームメモリ54ないし57にはメモリセレクト58が接続されている。このメモリセレクト58にはコントローラ84が接続されている。メモリセレクト58はコントローラ84から送られるフレーム信号FLMにตอบสนองして1フレーム毎にサブフレームメモリ54ないし57を順次選択する。メモリセレクト58にはXシフトレジスタ59が接続されている。メモリセレクト58は選択したサブフレームメモリから線順次でビットデータを読み出しこのXシフトレジスタ59に転送する。Xシフトレジスタ59にはXドライバ60が接続されている。Xドライバ60はコントローラ84から送られる同期信号

SINCにตอบสนองしてXシフトレジスタ59にラッチされたビットデータに基づいて画素アレイ61を駆動する。

コントローラ84にはスキャンメモリ62を介してYシフトレジスタ63が接続されている。スキャンメモリ62はコントローラ84から送られるフレーム信号FLMにตอบสนองして各フレーム毎に線順次走査データSCNをYシフトレジスタ63に転送する。Yシフトレジスタ63と画素アレイ61の間にはYドライバ65が接続されている。このYドライバ65はYシフトレジスタ63にラッチされた線順次走査データSCNに基づいて線順次同期信号SYNCに同期しながら複数の走査線を順次選択する。

最後に第5図および第6図を参照してフレーム間引き階調駆動回路の動作を説明する。第6図(A)はフレームメモリ51の各アドレスに保持された階調データGD1ないしGD5のレベルを示す模式図である。階調データGD1は画素の透過率0%を示し、階調データGD2は透過率25%を示し、階調データGD3は透過率50%を示し、階調データGD4は透過率75%を示し、階調データGD5は透過率100%を示す。第6図(B)はデコード52によって変換された階調データのビット構成を示す。いずれも4ビット成分からなる。変換された階調データGD1の第1ビット成分ないし第4ビット成分は全て0である。変換された階調データGD2の第1ビット成分は1であり残りのビット成分は0である。同様にして、変換された階調データGD3の第1及び第2ビット成分が1であり第3及び第4ビット成分は0である。変換された階調データGD4の第1ないし第3ビット成分は1であり第4ビット成分は0である。変換された階調データGD5の第1ないし第4ビット成分は全て1である。各画素毎に、第1ビット成分は第1サブフレームメモリ54に転送され、第2ビット成分は第2サブフレームメモリ55に転送され、第3ビット成分は第3サブフレームメモリ56に転送され、第4ビット成分は第4サブフレームメモリ57に転送される。コントローラ84は1フレーム毎にフレーム信号FLMを出力する。メモリセ

レクト58はコントローラ84から送られる同期信号SYNCにตอบสนองして1フレーム毎にサブフレームメモリ54ないし57を順次選択する。メモリセレクト58にはXシフトレジスタ59が接続されている。メモリセレクト58は選択したサブフレームメモリから線順次でビットデータを読み出しこのXシフトレジスタ59に転送する。Xシフトレジスタ59にはXドライバ60が接続されている。Xドライバ60はコントローラ84から送られる同期信号SYNCにตอบสนองしてXシフトレジスタ59にラッチされたビットデータに基づいて画素アレイ61を駆動する。

クタ58はフレーム信号FLMにตอบสนองして、フレーム毎に順次4枚のサブフレームメモリ54ないし57を選択する。従って、4フレームで全てのサブフレームメモリが読み出され1画面を構成するデータが得られる。即ち、1画面を構成するデータは元々フレームメモリ51に記憶されていたものである。換言すると、1画面を表示するのに4フレーム必要である。従って、従来の階調表示方式に比較して4倍の速さのフレーム周波数となる。

まず、第1フレーム期間においては第1サブフレームメモリ54に記憶されていたビットデータの分が線順次で呼び出されXシフトレジスタ59にラッチされる。ラッチされたビットデータは線順次同期信号SYNCに同期してXドライバ60を介して対応する画素の行に伝送される。この時、Yドライバ65も線順次同期信号SYNCに同期して各画素の行を選択している。この様にして、第1フレーム期間に第1ビット成分に対応した電気量が各画素に給電される。同様に、第2フレーム期間において、第2ビット成分に対応した電気

量が各画素に給電される。引き続き、第3フレームにおいて第3ビット成分に対応した電気量が各画素に給電され、最後に第4フレーム期間において第4ビット成分に対応した電気量が各画素に給電される。この様にして、第1フレームないし第4フレームからなる1サイクルが終了した時点で個々の画素に階調データGDに比例した電気量が蓄積保持される。この結果、1サイクルで、階調表示された1画面が画素アレイ61に表示される。このフレーム間引き階調制御においてはフレーム周波数が速いので画面のフリッカは生じない。

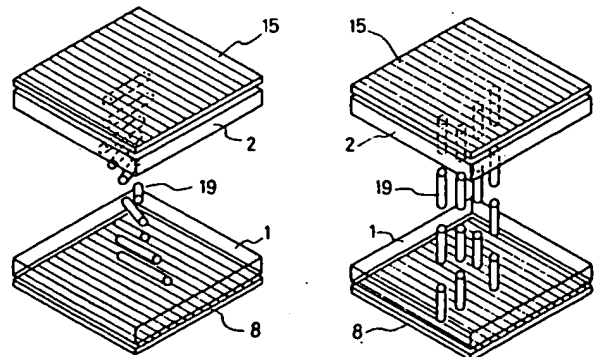
#### 〔発明の効果〕

上述した様に、本発明においては、画素電極群を駆動するスイッチ素子はシリコン単結晶薄膜層に形成された高速応答性の絶縁ゲート電界効果トランジスタから構成されている。従って、従来の薄膜型アクティブマトリックス装置に比べてフレーム周波数を著しく高くする事ができ、いわゆるフレーム間引き方式による階調表示を実用レベルで行なう事ができるという効果がある。

#### 4. 図面の簡単な説明

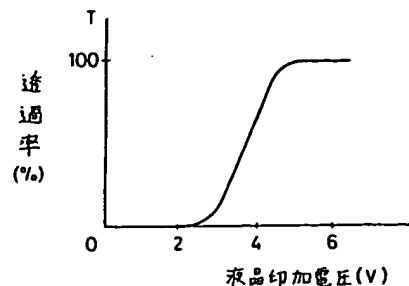
第1図はフレーム間引き階調駆動光弁装置の模式的分解斜視図、第2図(A)及び(B)は光弁装置の動作を説明する為の模式図、第3図は光弁装置の透過率の電圧依存性を示すグラフ、第4図(A)ないし(H)は光弁装置に用いられる集積回路基板の製造方法を示す工程図、第5図は光弁装置に内蔵されるフレーム間引き階調制御回路の構成を示すブロック図、及び第6図(A)ないし(B)はフレーム間引き階調制御回路の動作を説明する為の模式図である。

- |                  |          |
|------------------|----------|
| 1…複合基板           | 2…対向基板   |
| 3…液晶層            | 4…画素電極   |
| 5…スイッチ素子         | 6…担体層    |
| 7…単結晶シリコン薄膜層     |          |
| 9…走査線            | 10…信号線   |
| 11…Xドライバ         | 12…Yドライバ |
| 13…フレーム間引き階調制御回路 |          |
| 14…ガラス担体         | 16…共通電極  |
| 17…配向膜           | 18…配向膜   |

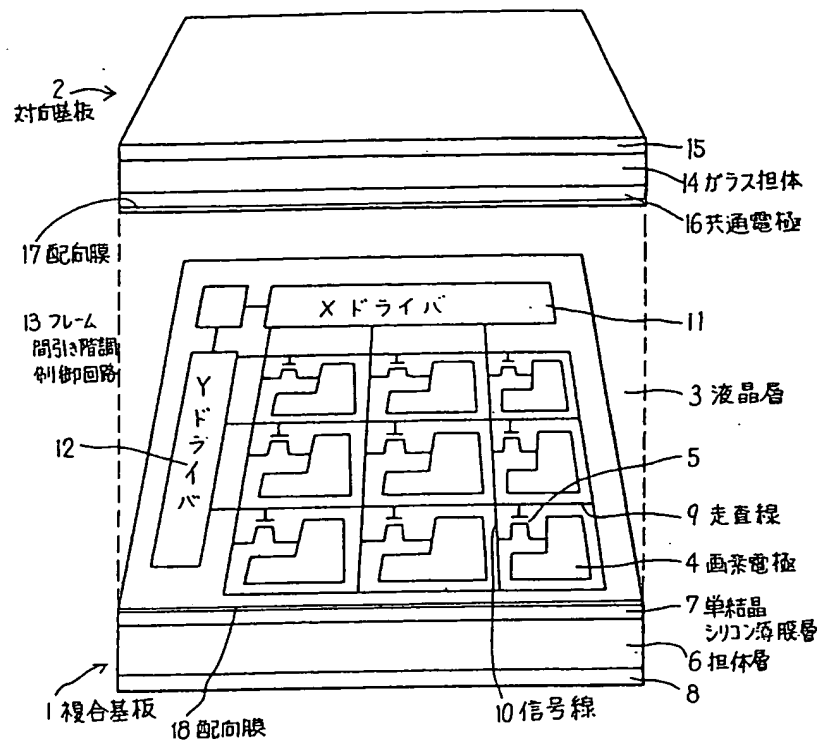


第 2 図 (A)

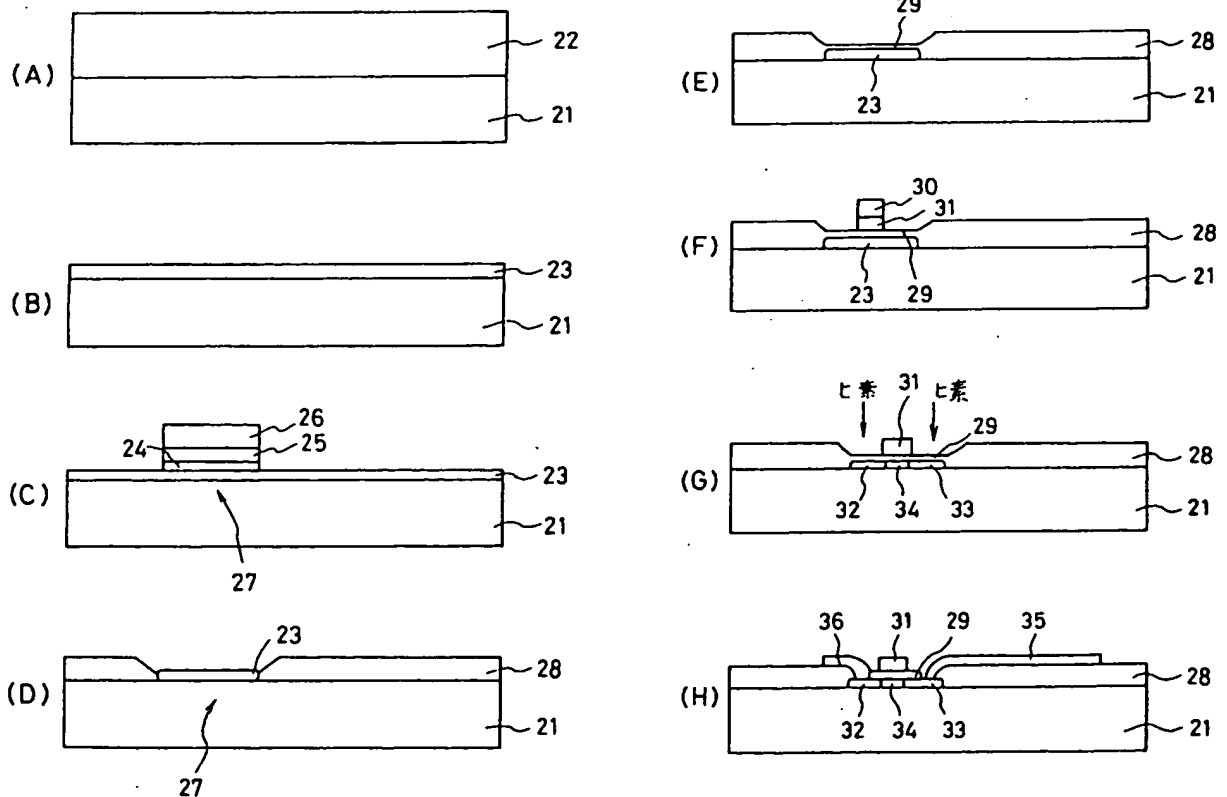
第 2 図 (B)



第 3 図

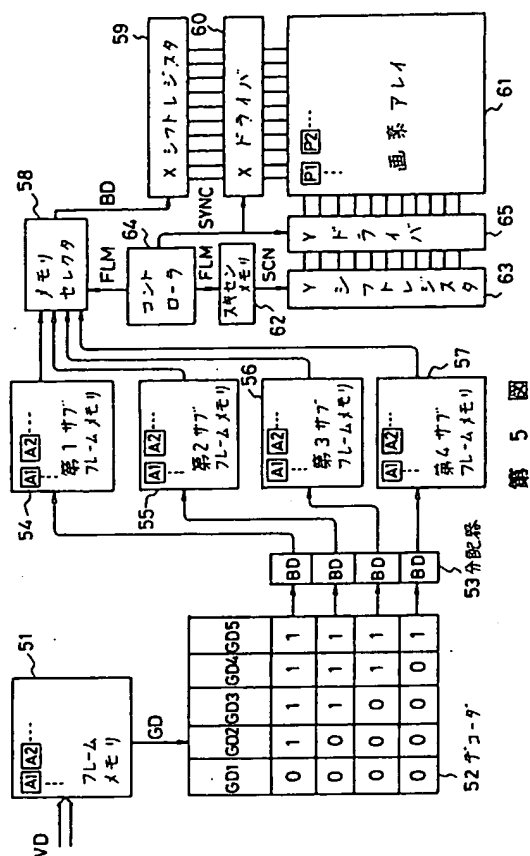


第 1 図

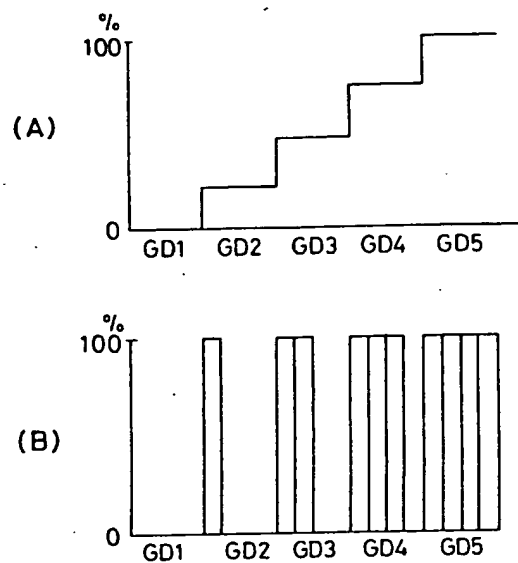


第 4 図

第 4 図



5



第 6 図